

Si-Ge系ECRプラズマCVDにおける基板非加熱エピタキシャル成長と電子物性制御に関する研究

著者	上野 尚文
号	61
学位授与機関	Tohoku University
学位授与番号	工博第5345号
URL	http://hdl.handle.net/10097/00122276

氏 名	うえの なおふみ
授与学位	博士(工学)
学位授与年月日	平成29年3月24日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学位論文題目	Si-Ge系 ECR プラズマ CVD における基板非加熱エピタキシャル成長と電子物性制御に関する研究
指導教員	東北大学教授 佐藤 茂雄
論文審査委員	主査 東北大学教授 佐藤 茂雄 東北大学教授 庭野 道夫 東北大学教授 末光 眞希 東北大学准教授 櫻庭 政夫

論文内容要旨

In the development field of the next generation Si large-scale integrated circuit, reduction of power consumption is increasingly required, and it will be achieved by highly integrated transistors (MOSFET), heterojunction bipolar transistor (HBT), efficient circuit configuration with new functional devices, e.g. Esaki tunnel diode and transistor with lower sub-threshold swing and resonant tunneling device with intrinsic negative differential conductance. In thermal chemical vapor deposition (CVD) which is a typical fabrication process, it has been reported that good crystallinity Si-Ge heterostructure can be fabricated. However, intermixing at heterostructure is one of issues in the thermal CVD. On the other hand, in low temperature process such as plasma CVD, it is known that crystallinity tends to be deteriorated by Si-Ge film thickness is increased. Here, high-performance Si devices can be constructed by thin films with thickness of about 10 nm where crystallinity deterioration is not caused. In this research, by using electron cyclotron resonance (ECR) plasma CVD (Fig. 1.) which can irradiate very low energy Ar plasma (ion energy \sim a few eV), comparison with capacitive coupled plasma (ion energy \sim a few tens of eV) which is a typical plasma source, for the purpose of suppress the intermixing and thermal diffusion at interface, we investigated and demonstrated heteroepitaxial growth of Si-Ge based semiconductor without substrate heating. Furthermore, we evaluate the electronic properties of Si-Ge heterostructures fabricated by the ECR plasma CVD without substrate heating. This paper is a summary of these results and consists of following 5 chapters.

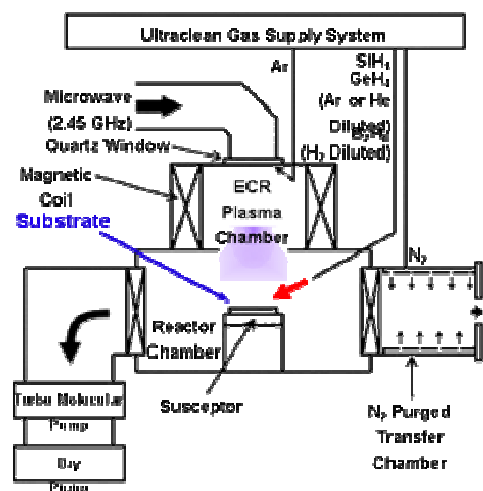


Fig. 1. Schematic of ECR Ar plasma CVD system without substrate heating.

Chapter 1 is introduction.

In chapter 2, we describe characteristics of ECR plasma CVD and crystallinity of Si-Ge heterostructure fabricated without substrate heating. With the low energy plasma, plasma damage is expected to be suppressed. The Si-Ge heterostructure was formed by surface reaction of SiH_4 and GeH_4 on Si(100). Ge fraction of Si-Ge alloy thin film was in good agreement with normalized GeH_4 partial pressure defined by $[\text{P}_{\text{GeH}_4}/(\text{P}_{\text{GeH}_4}+\text{P}_{\text{SiH}_4})]$. It is clear that the thickness increases with the deposition time and is almost proportional to the time under keeping surface flatness, i.e. the incubation period is negligibly small and homogeneous growth starts even at the dilute-HF-treated Si(100) interface. From sharp streaks in electron diffraction patterns obtained from the surface, it is confirmed that the thinner films are epitaxially grown, while crystallinity tends to be deteriorated with strain relaxation for thicker films. By reducing partial pressure of SiH_4 and GeH_4 , it has been found that Si-Ge alloy deposition rate becomes lower and surface crystallinity of SiGe film is improved with suppressing the strain relaxation. These results indicate that strained Si-Ge alloy film on Si substrate similar to conventional thermal CVD can be fabricated by low energy plasma CVD without substrate heating. From XRD patterns of the $\text{Si}_{0.50}\text{Ge}_{0.50}$, $\text{Si}_{0.25}\text{Ge}_{0.75}$ and Ge films deposited directly on the dilute-HF-treated Si(100), at smaller film thickness, the diffraction peak angle is in good agreement with the expected position for no strain relaxation, while the angle tends to shift to higher angle at longer film thickness. Furthermore, by X-ray diffraction (XRD) reciprocal space map (RSM), lattice matching of Si-Ge alloy thin film with Ge ratio of 60% to Si (100) substrate was confirmed (Fig. 2.). It was also confirmed that, even in the Si cap / SiGe / Si heterostructure where Si cap was further formed, high strain is maintained. These results indicates that strain relaxation proceeds in the deposited strained $\text{Si}_{0.4}\text{Ge}_{0.6}$ films and its critical thickness is around 20 nm for strained $\text{Si}_{0.4}\text{Ge}_{0.6}$ on Si(100) which is not so different from the reported value for relatively high-temperature epitaxy. These results are useful knowledge for improving the performance of semiconductor devices using Si-Ge based semiconductor materials formed by suppressing the thermal diffusion / mixing phenomenon.

In chapter 3, we describe the characteristic of energy band structure of Si / Si-Ge alloy / Si(100) heterostructure and influence of the strain relaxation. We have found that the valence band structure

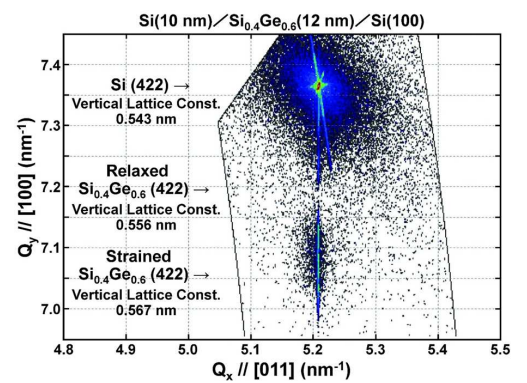


Fig. 2. XRD-RSM for (422) measured from Si/strained $\text{Si}_{0.4}\text{Ge}_{0.6}$ /Si(100) hetero-structure.

greatly changes as the strain relaxation progresses in the Si-Ge alloy film without substrate heating. Furthermore, it is revealed that band discontinuity of about 0.4 eV occurs at the upper edge of the valence band between Si cap and $\text{Si}_{0.5}\text{Ge}_{0.5}$ heterostructure (Fig. 3.). In addition, with increasing the Si-Ge alloy film thickness, infrared absorption peak derived from the hydrogen bonding increases. Along with that, we also found that the infrared photo emission becomes stronger at low temperature in photoluminescence. These results not only indicate modulation of the energy band structure by strain but also provide important guidelines for discussing the relationship between hydrogen bonding and crystal defects.

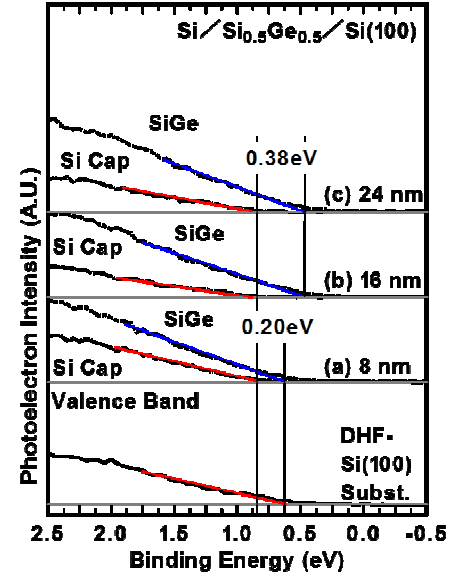


Fig. 3. XPS spectra for valence band of Si cap and $\text{Si}_{0.5}\text{Ge}_{0.5}$ heterostructure.

In chapter 4, we describe carrier properties of epitaxial thin films of Si and Si-Ge alloy film and p-n junctions fabricated. In undoped Si and Si-Ge alloy films deposited by low energy ECR plasma CVD without substrate heating, it has been found that the conductivity type is n type and carrier mobility exceeds $600 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ at room temperature. The mobility value seems to be at a reasonable and comparable level with the drift mobility of unstrained Si and Ge ($300\text{--}400 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ and $2000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, respectively, for 10^{18} cm^{-3} at room temperature) even with consideration of effects by strain and alloy scattering (typical mobility of $400 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ for undoped $\text{Si}_{0.5}\text{Ge}_{0.5}$). Moreover, it is clarified that Si epitaxial thin film with high carrier density near 10^{20} cm^{-3} can be formed by B doping with the carrier activation rate of about 10%. By using the strained $\text{Si}_{0.5}\text{Ge}_{0.5}$ and B-doped (p+) Si, current-voltage characteristics of a p+Si/n $\text{Si}_{0.5}\text{Ge}_{0.5}$ heterojunction diode fabricated on nSi(100) were shown in Fig. 4. In the forward bias condition (voltage > 0), for both the cases with and without heat treatment, it is clear that current tends to increase exponentially with voltage and the slope is almost ideal (60 mV/decade shown by dotted lines). The current enhancement can be expressed by a lower

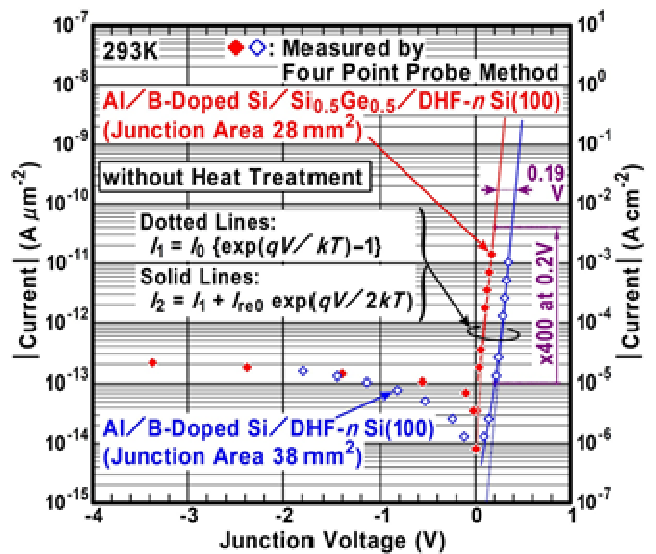


Fig. 4. Current-voltage characteristics of a p+Si/n $\text{Si}_{0.5}\text{Ge}_{0.5}$ heterojunction diode fabricated on nSi(100).

voltage shift of 0.19 V from the reference without $\text{nSi}_{0.5}\text{Ge}_{0.5}$. Because a built-in potential between the junction is considered to become about 0.2 eV larger due to larger carrier concentration in $\text{nSi}_{0.5}\text{Ge}_{0.5}$ than $\text{nSi}(100)$, an effective bandgap narrowing can be estimated to be about 0.4 eV as a sum of these values. This value is almost the same as valence band discontinuity between strained $\text{Si}_{0.5}\text{Ge}_{0.5}$ and relaxed Si. These results suggest that a possibility of constructing a smart semiconductor device process in which the thermal diffusion and intermixing at heterointerface is suppressed, and it is also suggested that utilizing the energy band structure modulation at a sharp interface will improve the performance of a semiconductor device.

Chapter 5 is conclusion.

In summary, this paper proposes a smart semiconductor device process that suppresses the thermal diffusion and mixing phenomenon in Si / Si-Ge alloy film / Si (100) heterostructure by low energy ECR plasma CVD without substrate heating. We have obtained some important knowledge, and many contribution to the development of electronics and semiconductor engineering.

論文審査結果の要旨

Si 集積回路に用いられる半導体デバイスの性能向上のために、Si-Ge 系ヘテロ構造におけるエネルギーバンド構造変調を顕在化させるエピタキシャル成長技術の開発が重要となっている。本論文は、10 nm 厚近傍の Si-Ge 系極薄膜で構成されるヘテロ構造における熱的な拡散・ミキシング現象を抑制することを目的として、低エネルギー ECR プラズマ CVD 法を用いることにより基板非加熱でも Si-Ge 系半導体薄膜のヘテロエピタキシャル成長が可能であることを実証するとともに、その電子物性制御について研究した成果をまとめたもので、全文 5 章よりなる。

第 1 章は序論である。

第 2 章では、低エネルギー ECR プラズマ CVD を用いることによって、基板非加熱でも従来の熱 CVD と同様の Si 基板上極薄（～10 nm）歪 Si-Ge 混晶単結晶薄膜の堆積が実現可能であることを報告している。さらに Ge 比率が 60% に達する高 Ge 比率であっても堆積した Si-Ge 混晶薄膜が Si(100) 基板に格子整合していることを X 線回折逆格子空間マッピング法によって確認し、本手法によって結晶性劣化が抑制された高度な歪導入が可能であることを明らかにしている。これらの結果は、低エネルギー ECR プラズマ CVD 法を用いることで熱的な拡散やミキシング現象を抑制しつつ高品質な歪 Si-Ge 混晶極薄膜を形成可能であることを示しており、Si-Ge 系半導体薄膜を利用した半導体デバイスの高性能化に大いに資するものである。

第 3 章では、基板非加熱・低エネルギー ECR プラズマ CVD 法で作製した Si/Si-Ge 混晶/Si(100) ヘテロ構造のエネルギーバンド構造評価について述べている。すなわち、Si-Ge 混晶における Ge 比率増大にともなう歪緩和の進行とともに価電子帯構造が大きく変化することに加えて、Ge 比率 50% の場合の価電子帯上端には約 0.4 eV と、高品質 Si-Ge 混晶単結晶薄膜/Si(100) に相当する大きなバンド不連続が形成されることを見いだしている。この結果は、Si 半導体デバイスの性能限界を打破するエネルギーバンド変調が基板非加熱 CVD で実現可能であることを示しており、半導体プロセス工学上極めて重要な知見である。

第 4 章では、基板非加熱・低エネルギー ECR プラズマ CVD 法で作製した極薄 Si および Si-Ge 混晶エピタキシャル薄膜のキャリア特性、およびそれらを用いて製作した p-n 接合の電気特性について述べている。このうちキャリア特性では、アンドープ Si や Si-Ge 混晶の伝導型は n 型であり、両者ともに $600 \text{ cm}^{-2} \text{ V}^{-1} \text{ s}^{-1}$ を超える高い室温キャリア移動度を有することを見いだしている。また Si 薄膜にあっては、B ドーピングによって 1020 cm^{-3} 近傍の高いキャリア密度のエピタキシャル薄膜形成が可能であることを明らかにしている。これらの薄膜を用いて熱処理なしで製作した p-n 接合は、逆方向バイアス電流が抑制され、順方向バイアスの室温電流－電圧特性が 60 mV/decade の理想的傾きを有する整流特性を示すとともに、Si-Ge 混晶導入によって順方向バイアス電流が最大 400% まで増大する現象も発現している。この電流増大は第 3 章で見出された価電子帯バンド不連続によって定量的に説明される。この結果は、当該 CVD 法を用いて作製した Si-Ge/Si 界面が熱的な拡散・ミキシング現象の抑制された理想的なものとなっていることをデバイス特性を通して実証しており、半導体デバイス工学上極めて有用な知見として高く評価される。

第 5 章は結論である。

以上要するに本論文は、基板非加熱・低エネルギー ECR プラズマ CVD 法を用いることにより、デバイスに応用し得る高品質の歪 Si-Ge 系極薄膜（～10 nm）/Si ヘテロ構造を形成可能であることを世界に先駆けて実証したもので、電子工学、半導体工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。